

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156255

(P2001-156255A)

(43) 公開日 平成13年6月8日(2001.6.8)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 27/04		H 0 3 K 5/13	5 B 0 7 9
	21/822	H 0 1 L 27/04	D 5 F 0 3 8
G 0 6 F 1/10		G 0 6 F 1/04	3 3 0 A 5 F 0 6 4
H 0 1 L 21/82		H 0 1 L 21/82	F 5 J 0 0 1
H 0 3 K 5/13		27/04	V 5 J 0 3 9

審査請求 有 請求項の数12 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願平11-334078

(22) 出願日 平成11年11月25日(1999. 11. 25)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 橋立 修一

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 福迫 真一

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(74) 代理人 100086807

弁理士 柿本 恭成

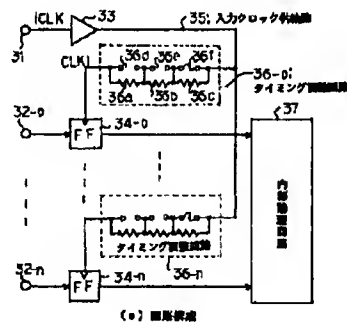
最終頁に続く

(54) 【発明の名称】 半導体集積回路

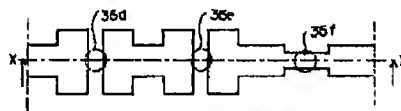
(57) 【要約】

【課題】 内部に供給されるクロック信号の遅延時間のばらつきが少ない半導体集積回路を提供する。

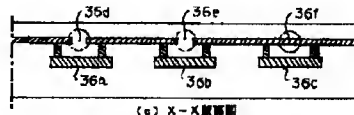
【解決手段】 入力クロック供給路35を介して分配された入力クロック信号CLKは、各タイミング調整回路36-0~36-nに与えられる。各タイミング調整回路36-0~36-nは、直列抵抗36a~36cとギャップ36d~36fを有する配線パターンが回路修正用領域に配置された構成となっている。この半導体集積回路の配線パターンを、集束イオンビーム装置で修正し、各タイミング調整回路36-0~36-nから同一位相の内部入力クロック信号CLKIが得られるように調整する。調整後の配線パターンを用いて製品としての半導体集積回路を製造する。



(a) 回路構成



(b) タイミング調整回路の平面図



(c) X-X断面図

本発明の第1の実施形態の半導体集積回路

【特許請求の範囲】

【請求項1】 同一のタイミングで複数ビットの入力データが並列に与えられる複数の入力端子と、

前記入力データのタイミングを示す入力クロック信号が与えられる入力クロック端子と、

前記複数の入力端子にそれぞれ接続され、該入力端子に与えられた入力データを内部入力クロック信号の立上がりまたは立下がりのタイミングで保持する複数の入力手段と、

前記入力クロック端子に与えられた入力クロック信号を前記複数の入力手段に分配するための入力クロック分配手段と、

前記入力クロック分配手段と前記各入力手段との間にそれぞれ設けられ、直列または並列に挿入された素子の接続または切り離しにより、該入力クロック分配手段の分配経路の相違によって生ずる前記入力クロック信号の遅延時間の相違を補正し、前記入力データに同期した一定タイミングの前記内部入力クロック信号を生成して該各入力手段に供給するための調整可能な複数の入力クロック供給手段とを、

備えたことを特徴とする半導体集積回路。

【請求項2】 前記各入力クロック供給手段は、半導体基板上に形成された集積回路を修正するための回路修正装置を用いた回路パターンの修正により、直列抵抗の挿入または短絡、並列キャパシタの接続または切り離し、或いは駆動用トランジスタの接続または切り離しが可能な回路修正用領域を有することを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記各入力クロック供給手段は、前記入力クロック分配手段から与えられる前記入力クロック信号を反転して出力する反転増幅部と、

電源電位と前記反転増幅部の電源端子との間に接続され、該反転増幅部に電源を供給する第1のトランジスタと、

前記電源電位と前記反転増幅部の電源端子との間に接続され、それぞれ第1及び第2の制御信号に従って該反転増幅部に対する電源の供給が制御される第2及び第3のトランジスタと、

接地電位と前記反転増幅部の接地端子との間に接続され、該反転増幅部に電源を供給する第4のトランジスタと、

前記接地電位と前記反転増幅部の接地端子との間に接続され、それぞれ第3及び第4の制御信号に従って該反転増幅部に対する電源の供給が制御される第5及び第6のトランジスタと、

第1のヒューズを有し、該第1のヒューズが切断されていないときには前記第2及び第5のトランジスタをオン状態に制御し、該第1のヒューズが切断されたときには該第2及び第5のトランジスタをオフ状態に制御するための前記第1及び第3の制御信号を出力する第1の制御

部と、

第2のヒューズを有し、該第2のヒューズが切断されていないときには前記第3及び第6のトランジスタをオフ状態に制御し、該第2のヒューズが切断されたときには該第3及び第6のトランジスタをオン状態に制御するための前記第2及び第4の制御信号を出力する第2の制御部とを、

有することを特徴とする請求項1記載の半導体集積回路。

10 【請求項4】 同一のタイミングで複数ビットの入力データが並列に与えられる複数の入力端子と、

前記入力データのタイミングを示す入力クロック信号が与えられる入力クロック端子と、

前記複数の入力端子にそれぞれ接続され、該入力端子に与えられた入力データを内部入力クロック信号の立上がりまたは立下がりのタイミングで保持する複数の入力手段と、

20 前記入力クロック端子に与えられた入力クロック信号を前記複数の入力手段に分配するための入力クロック分配手段と、

前記入力クロック分配手段と前記各入力手段との間にそれぞれ設けられ、該入力クロック分配手段で分配された前記入力クロック信号に基づいて前記内部入力クロック信号を生成して該各入力手段に供給する複数の入力クロック供給手段と、

複数ビットの出力データを並列に出力する複数の出力端子と、

前記出力データの出力タイミングを示す出力クロック信号が与えられる出力クロック端子と、

30 前記複数の出力端子にそれぞれ接続され、内部出力クロック信号に基づいて前記出力データを該出力端子に出力する複数の出力手段と、

前記出力クロック端子に与えられた出力クロック信号を前記複数の出力手段に分配するための出力クロック分配手段と、

前記出力クロック分配手段と前記各出力手段との間にそれぞれ設けられ、該出力クロック分配手段で分配された前記出力クロック信号に基づいて前記内部出力クロック信号を生成して該各出力手段に供給する複数の出力クロック供給手段と、

40 試験モードまたは通常モードを指定するモード信号によって該試験モードが指定されたときに、前記入力手段に保持されている前記入力データを前記出力データとして前記出力手段へ与えるデータ折り返し手段とを、

備えたことを特徴とする半導体集積回路。

【請求項5】 請求項4記載の半導体集積回路における各入力クロック供給手段は、前記入力クロック分配手段の分配経路の相違によって生ずる前記入力クロック信号の遅延時間の相違を補正して前記入力データに同期した一定タイミングの前記内部入力クロック信号を生成して

対応する前記入力手段に供給するための、切り離し可能な複数の第1の遅延素子を有することを特徴とする半導体集積回路。

【請求項6】 請求項5記載の半導体集積回路における各入力クロック供給手段に、
前記入力クロック分配手段から前記第1の遅延素子を通して与えられる前記入力クロック信号を反転して出力する第1の反転増幅部と、
相補的な導電型の第1及び第2のトランジスタで構成され、前記第1の反転増幅部の出力信号を更に反転して前記内部入力クロック信号を生成する第2の反転増幅部と、
前記第1のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第1のトランジスタと同一の導電型の第3のトランジスタと、
前記第2のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第2のトランジスタと同一の導電型の第4のトランジスタとを、
設けたことを特徴とする半導体集積回路。

【請求項7】 請求項4、5または6記載の半導体集積回路における各出力クロック供給手段は、前記出力クロック分配手段の分配経路の相違によって生ずる前記出力クロック信号の遅延時間の相違を補正して同一タイミングの前記内部出力クロック信号を生成して対応する前記出力手段に供給するための、切り離し可能な複数の第2の遅延素子を有することを特徴とする半導体集積回路。

【請求項8】 請求項7記載の半導体集積回路における各出力クロック供給手段に、
前記出力クロック分配手段から前記第2の遅延素子を通して与えられる前記出力クロック信号を反転して出力する第3の反転増幅部と、
相補的な導電型の第5及び第6のトランジスタで構成され、前記第3の反転増幅部の出力信号を更に反転して前記内部入力クロック信号を生成する第4の反転増幅部と、
前記第5のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第5のトランジスタと同一の導電型の第7のトランジスタと、
前記第6のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第6のトランジスタと同一の導電型の第8のトランジスタとを、
設けたことを特徴とする半導体集積回路。

【請求項9】 請求項4、5、6、7または8記載の半導体集積回路における前記入力クロック端子と前記入力クロック分配手段との間に、一定の位相遅延を挿入するための切り離しにより調整可能な複数の第3の遅延素子を有する第1の遅延手段を設けたことを特徴とする半導体集積回路。

【請求項10】 請求項9記載の半導体集積回路における入力クロック供給手段に、

前記入力クロック分配手段から与えられる前記入力クロック信号を反転して出力する第5の反転増幅部と、
相補的な導電型の第9及び第10のトランジスタで構成され、前記第5の反転増幅部の出力信号を更に反転して前記内部入力クロック信号を生成する第6の反転増幅部と、
前記第9のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第9のトランジスタと同一の導電型の第11のトランジスタと、
前記第10のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第10のトランジスタと同一の導電型の第12のトランジスタとを、
設けたことを特徴とする半導体集積回路。

【請求項11】 請求項4、5、6、7、8、9または10記載の半導体集積回路における前記出力クロック端子と前記出力クロック分配手段との間に、一定の位相遅延を挿入するための切り離しにより調整可能な複数の第4の遅延素子を有する第2の遅延手段を設けたことを特徴とする半導体集積回路。

【請求項12】 請求項11記載の半導体集積回路における出力クロック供給手段に、
前記出力クロック分配手段から与えられる前記出力クロック信号を反転して出力する第7の反転増幅部と、
相補的な導電型の第13及び第14のトランジスタで構成され、前記第7の反転増幅部の出力信号を更に反転して前記内部入力クロック信号を生成する第8の反転増幅部と、
前記第13のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第13のトランジスタと同一の導電型の第15のトランジスタと、
前記第14のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第14のトランジスタと同一の導電型の第16のトランジスタとを、
設けたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路、特にその内部の入出力回路に同一位相でクロック信号を供給するためのクロック供給技術に関するものである。

【0002】

【従来の技術】複数の半導体集積回路間における並列データ転送では、基準となるクロック信号に同期してデータを入出力することが一般的である。例えば、クロック信号のレベル“L”からレベル“H”への立ち上がりのタイミングでデータを入力する場合、データを誤りなく確実に転送するために、このクロック信号の立ち上がり前後の所定時間、転送すべきデータのレベルを一定に保

つ必要がある。立ち上がり前の所定時間はセットアップタイム、立ち上がり後の所定時間はホールドタイムと呼ばれている。

【0003】半導体集積回路技術の向上に伴い、セットアップタイム及びホールドタイムの短縮が行われ、これによってデータ転送時間の短縮が可能になってきている。但し、並列データ転送では、データを入出力するための入出力回路に対して同一位相のクロック信号を供給しなければ、セットアップタイム及びホールドタイムの短縮によるデータ転送時間の短縮の効果は得られない。即ち、各入出力回路に供給されるクロック信号の位相にばらつきがあると、そのばらつきを見込んで実際のデータ転送周期を設定せざるを得ず、結果としてデータ転送時間が長くなってしまう。

【0004】一方、集積回路の規模の増大に伴い、データを入出力するための入出力回路に対するクロック信号の供給経路が長大かつ複雑化しており、各入出力回路にクロック信号を同一位相で供給するために、従来、この供給経路の長さが等しくなるように回路配置を工夫したり、必要に応じてクロック供給経路中に所定の遅延回路を挿入する等の方法が行われている。

【0005】例えば図2は、特開平10-228449号公報に記載された従来の半導体集積回路の構成図である。この半導体集積回路は、データを出力する駆動側半導体装置10と、そのデータを受信する受信側半導体装置20とに分かれている。駆動側半導体装置10は、クロック信号CLKを生成するクロック源11と、このクロック信号CLKの位相を所定量だけずらしたシフトクロック信号SCKを発生させるシフトクロック発生回路12を有している。クロック信号CLKとシフトクロック信号SCKは、スイッチ13に与えられ、外部から与えられるモード信号MODによっていずれか一方が選択されるようになっている。

【0006】また、駆動側半導体装置10は、出力データを生成する内部論理回路14と、調整用のダミーデータを発生するダミー出力発生回路15を有している。内部論理回路14とダミー出力発生回路15の出力側は、モード信号MODで制御されるスイッチ16の入力側に接続されている。スイッチ16の出力側は、受信側半導体装置20に対して複数ビットのデータを並列に出力するための出力回路17-0、…、17-nの入力側に接続されている。これらの出力回路17-0～17-nは、スイッチ13で選択されたクロック信号CLK、またはシフトクロック信号SCKに同期してデータを出力するものである。

【0007】一方、受信側半導体装置20は、駆動側半導体装置10からクロック信号CLKが与えられるクロック入力回路21と、複数ビットのデータが並列に与えられる入力回路22-0、…、22-nを有している。クロック入力回路21は、クロック信号CLKから受信

側半導体装置20内部に必要な内部クロック信号ICKを生成して供給するものである。内部クロック信号ICKは、クロック供給路23を介してタイミング調整回路24-0、…、24-nに供給されるようになってい。各タイミング調整回路24-0～24-nは、それぞれ入力回路22-0、…、22-nに隣接して配置され、クロック供給路23における内部クロック信号ICKの伝搬遅延量の相違を補正して、ほぼ同一タイミングで各入力回路22-0、…、22-nに内部クロック信号ICKを与えるためのものである。各タイミング調整回路24-0～24-nは、内部クロック信号ICKの1周期を複数に等分する遅延回路を有しており、この遅延回路で遅延された内部クロック信号ICKを順次選択して、対応する入力回路22-0～22-nに与えることができるようになっている。

【0008】このような半導体集積回路では、例えば電源投入直後の一定時間の間、モード信号MODが調整モードに設定される。これにより、駆動側半導体装置10のスイッチ13ではシフトクロック信号SCKが選択され、スイッチ16ではダミー出力発生回路15側が選択される。これにより、出力回路17-0～17-nから、シフトクロック信号SCKの立上がりに同期して調整用のダミーデータが出力される。

【0009】一方、受信側半導体装置20のクロック入力回路21では、駆動側半導体装置10から与えられたクロック信号CLKに基づいて内部クロック信号ICKが生成され、クロック供給路23を介してタイミング調整回路24-0～24-nに供給される。タイミング調整回路24-0～24-nにおいて、遅延回路から出力されるタイミング調整用のクロック信号が順次選択して各入力回路22-0～22-nに与えられる。そして、駆動側半導体装置10側の出力回路17-0～17-nから与えられた調整用のダミーデータが正常に入力された状態で、各タイミング調整回路24-0～24-nの出力するクロック信号が固定され、クロック信号のタイミング調整が完了する。

【0010】電源投入後、一定時間が経過すると、モード信号MODは通常モードに設定される。これにより、駆動側半導体装置10のスイッチ13はクロック信号CLK側に、スイッチ16は内部論理回路14側に切り替えられる。そして、通常の動作が開始され、内部論理回路14で生成されたデータが、クロック信号CLKの立上がりに同期して出力回路17-0～17-nから出力される。一方、受信側半導体装置20の各入力回路22-0～22-nにおいては、調整済みの各タイミング調整回路24-0～24-nからそれぞれ与えられるクロック信号に基づいて、データの入力が行われる。

【0011】

【発明が解決しようとする課題】しかしながら、従来の半導体集積回路では、次のような課題があった。即ち、

電源投入後には常に一定時間の間、モード信号MODによって調整モードを設定し、タイミング調整処理を行わなければならない。通常動作の開始までに所定の時間が必要であった。更に、これらの調整処理を行うための制御が必要であり、そのための制御回路が複雑になっていた。本発明は、前記従来技術が持っていた課題を解決し、実測した伝搬遅延量に基づいて個々の遅延回路の遅延量を設定することにより、遅延時間のばらつきの少ない半導体集積回路を提供するものである。

【0012】

【課題を解決するための手段】前記課題を解決するために、本発明の内の第1の発明は、半導体集積回路において、同一のタイミングで複数ビットの入力データが並列に与えられる複数の入力端子と、前記入力データのタイミングを示す入力クロック信号が与えられる入力クロック端子と、前記複数の入力端子にそれぞれ接続され、該入力端子に与えられた入力データを内部入力クロック信号の立上がりまたは立下がりのタイミングで保持する複数の入力手段と、前記入力クロック端子に与えられた入力クロック信号を前記複数の入力手段に分配するための

入力クロック分配手段と、前記入力クロック分配手段と前記各入力手段との間にそれぞれ設けられ、直列または並列に挿入された素子の接続または切り離しにより、該入力クロック分配手段の分配経路の相違によって生ずる前記入力クロック信号の遅延時間の相違を補正し、前記入力データに同期した一定タイミングの前記内部入力クロック信号を生成して該各入力手段に供給するための調整可能な複数の入力クロック供給手段とを、備えている。

【0013】第1の発明によれば、以上のように半導体集積回路を構成したので、次のような作用が行われる。入力クロック端子に与えられた入力クロック信号は、入力クロック分配手段を介して各入力クロック供給手段へ伝達される。入力クロック分配手段の分配経路の相違によって異なった遅延時間で各入力クロック供給手段へ伝達された入力クロック信号は、それぞれの入力クロック供給手段によって遅延時間の相違が補正され、同一のタイミングの内部入力クロック信号が生成されて各入力手段に供給される。一方、複数ビットの入力データは同一タイミングで入力端子に与えられ、これらの入力端子に接続された各入力手段に入力される。そして、これらの入力手段において、入力データは内部入力クロック信号によって同一タイミングで保持される。

【0014】第2の発明では、第1の発明の半導体集積回路における各入力クロック供給手段は、半導体基板上に形成された集積回路を修正するための回路修正装置を用いた回路パターンの修正により、直列抵抗の挿入または短絡、並列キャパシタの接続または切り離し、或いは駆動用トランジスタの接続または切り離しが可能な回路修正用領域を有している。第2の発明によれば、第1の

発明の各入力クロック供給手段において次のような作用が行われる。入力クロック分配手段を介して各入力クロック供給手段に伝達された入力クロック信号は、回路修正用領域に設けられた直列抵抗や並列キャパシタ、あるいは駆動用トランジスタによってそれぞれ遅延時間が補正されて、対応する入力手段に供給される。

【0015】第3の発明では、第1の発明の半導体集積回路における各入力クロック供給手段は、前記入力クロック分配手段から与えられる前記入力クロック信号を反転して出力する反転増幅部と、電源電位と前記反転増幅部の電源端子との間に接続され、該反転増幅部に電源を供給する第1のトランジスタと、前記電源電位と前記反転増幅部の電源端子との間に接続され、それぞれ第1及び第2の制御信号に従って該反転増幅部に対する電源の供給が制御される第2及び第3のトランジスタと、次のような第4、第5及び第6のトランジスタと、第1及び第2の制御部を有している。

【0016】第4のトランジスタは、接地電位と前記反転増幅部の接地端子との間に接続され、該反転増幅部に電源を供給するものである。第5及び第6のトランジスタは、前記接地電位と前記反転増幅部の接地端子との間に接続され、それぞれ第3及び第4の制御信号に従って該反転増幅部に対する電源の供給が制御されるものである。第1の制御部は、第1のヒューズを有し、該第1のヒューズが切断されていないときには前記第2及び第5のトランジスタをオン状態に制御し、該第1のヒューズが切断されたときには該第2及び第5のトランジスタをオフ状態に制御するための前記第1及び第3の制御信号を出力するものである。第2の制御部は、第2のヒューズを有し、該第2のヒューズが切断されていないときには前記第3及び第6のトランジスタをオフ状態に制御し、該第2のヒューズが切断されたときには該第3及び第6のトランジスタをオン状態に制御するための前記第2及び第4の制御信号を出力するものである。

【0017】第3の発明によれば、第1の発明の各入力クロック供給手段において次のような作用が行われる。入力クロック分配手段を介して各入力クロック供給手段に伝達された入力クロック信号は、第1～第3のトランジスタを介して電源電位に接続され、第4～第6のトランジスタを介して接地電位に接続されて電源が供給される反転増幅部で反転増幅される。この時、第1の制御部中の第1のヒューズが切断されていなければ、第2及び第5のトランジスタはオン状態となって、第1及び第4のトランジスタとともに反転増幅部に対して電源が供給される。第1のヒューズが切断されていれば、第2及び第5のトランジスタはオフ状態となって電源供給から切り離される。一方、第2の制御部中の第2のヒューズが切断されていなければ、第3及び第6のトランジスタはオフ状態となって電源供給から切り離される。第2のヒューズが切断されていれば、第3及び第6のトランジスタ

タはオン状態となって、第1及び第4のトランジスタとともに、反転増幅部に対して電源が供給される。

【0018】第4の発明は、半導体集積回路において、第1の発明と同様の複数の入力端子と、入力クロック端子と、複数の入力手段と、入力クロック分配手段と、前記入力クロック分配手段と前記各入力手段との間にそれぞれ設けられ、該入力クロック分配手段で分配された前記入力クロック信号に基づいて前記内部入力クロック信号を生成して該各入力手段に供給する複数の入力クロック供給手段と、次のような複数の出力端子と、出力クロック端子と、複数の出力手段と、出力クロック分配手段と、複数の出力クロック供給手段と、データ折り返し手段とを備えている。

【0019】出力端子は、複数ビットの出力データをそれぞれ並列に出力するものである。出力クロック端子は、前記出力データの出力タイミングを示す出力クロック信号が与えられるものである。出力手段は、前記複数の出力端子にそれぞれ接続され、内部出力クロック信号に基づいて前記出力データを該出力端子に出力するものである。出力クロック分配手段は、前記出力クロック端子に与えられた出力クロック信号を前記複数の出力手段に分配するためのものである。

【0020】出力クロック分配手段は、前記出力クロック端子に与えられた出力クロック信号を前記複数の出力手段に分配するためのものである。出力クロック供給手段は、前記出力クロック分配手段と前記各出力手段との間にそれぞれ設けられ、該出力クロック分配手段で分配された前記出力クロック信号に基づいて前記内部出力クロック信号を生成して該各出力手段に供給するものである。データ折り返し手段は、試験モードまたは通常モードを指定するモード信号によって該試験モードが指定されたときに、前記入力手段に保持されている前記入力データを前記出力データとして前記出力手段へ与えるものである。

【0021】第4の発明によれば、次のような作用が行われる。モード信号によって試験モードが指定されると、データ折り返し手段によって、入力手段の出力側が出力手段の入力側に接続される。また、入力クロック端子に与えられた入力クロック信号は、入力クロック分配手段を介して各入力クロック供給手段へ伝達される。各入力クロック供給手段へ伝達された入力クロック信号は、それぞれの入力クロック供給手段によって内部入力クロック信号が生成されて各入力手段に供給される。一方、複数ビットの入力データは同一タイミングで入力端子に与えられ、これらの入力端子に接続された各入力手段に入力される。そして、これらの入力手段において、入力データは内部入力クロック信号に同期して保持される。入力手段に保持された入力データはデータ折り返し手段を介して出力データとして出力手段に与えられる。

【0022】また、出力クロック端子に与えられた出力

クロック信号は、出力クロック分配手段を介して各出力クロック供給手段へ伝達される。各出力クロック供給手段へ伝達された出力クロック信号は、それぞれの出力クロック供給手段によって内部出力クロック信号が生成されて各出力手段に供給される。一方、出力手段に与えられた複数ビットの出力データは、内部出力クロック信号に同期して同一タイミングで出力端子に出力される。

【0023】第5の発明は、第4の発明の半導体集積回路における各入力クロック供給手段を、前記入力クロック分配手段の分配経路の相違によって生ずる前記入力クロック信号の遅延時間の相違を補正して前記入力データに同期した一定タイミングの前記内部入力クロック信号を生成して対応する前記入力手段に供給するための、切り離し可能な複数の第1の遅延素子を有する構成にしている。

【0024】第5の発明によれば、第4の発明の各入力クロック供給手段において次のような作用が行われる。入力クロック分配手段を介して与えられた入力クロック信号は、その入力クロック分配手段の分配経路によって生ずる遅延時間の相違が、切り離し可能な複数の第1の遅延素子によって補正され、入力データに同期した一定タイミングの内部入力クロック信号が生成される。そして、内部入力クロック信号は、それぞれ対応する入力手段に供給される。

【0025】第6の発明は、第5の発明の半導体集積回路における各入力クロック供給手段に、前記入力クロック分配手段から前記第1の遅延素子を通して与えられる前記入力クロック信号を反転して出力する第1の反転増幅部と、相補的な導電型の第1及び第2のトランジスタで構成され、前記第1の反転増幅部の出力信号を更に反転して前記内部入力クロック信号を生成する第2の反転増幅部と、前記第1のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第1のトランジスタと同一の導電型の第3のトランジスタと、前記第2のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第2のトランジスタと同一の導電型の第4のトランジスタとを設けている。

【0026】第6の発明によれば、第5の発明の各入力クロック供給手段において次のような作用が行われる。入力クロック分配手段を介して与えられた入力クロック信号は、その入力クロック分配手段の分配経路によって生ずる遅延時間の相違が、切り離し可能な複数の第1の遅延素子によって補正される。更に、第1及び第2の反転増幅部によって遅延時間の補正と波形整形が行われて、入力データに同期した一定タイミングの内部入力クロック信号が生成される。そして、内部入力クロック信号は、それぞれ対応する入力手段に供給される。

【0027】第7の発明は、第4～第6の発明の半導体集積回路における各出力クロック供給手段を、前記出力

クロック分配手段の分配経路の相違によって生ずる前記出力クロック信号の遅延時間の相違を補正して同一タイミングの前記内部出力クロック信号を生成して対応する前記出力手段に供給するための、切り離し可能な複数の第2の遅延素子を有する構成にしている。

【0028】第7の発明によれば、第4～第6の発明の各出力クロック供給手段において次のような作用が行われる。出力クロック分配手段を介して与えられた出力クロック信号は、その出力クロック分配手段の分配経路によって生ずる遅延時間の相違が、切り離し可能な複数の第2の遅延素子によって補正され、同一タイミングの内部出力クロック信号が生成される。そして、内部出力クロック信号は、それぞれ対応する出力手段に供給される。

【0029】第8の発明は、第7の発明の半導体集積回路における各出力クロック供給手段に、前記出力クロック分配手段から前記第2の遅延素子を通して与えられる前記出力クロック信号を反転して出力する第3の反転増幅部と、相補的な導電型の第5及び第6のトランジスタで構成され、前記第3の反転増幅部の出力信号を更に反転して前記内部入力クロック信号を生成する第4の反転増幅部と、前記第5のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第5のトランジスタと同一の導電型の第7のトランジスタと、前記第6のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第6のトランジスタと同一の導電型の第8のトランジスタとを設けている。

【0030】第8の発明によれば、第7の発明の各出力クロック供給手段において次のような作用が行われる。出力クロック分配手段を介して与えられた出力クロック信号は、その出力クロック分配手段の分配経路によって生ずる遅延時間の相違が、切り離し可能な複数の第2の遅延素子によって補正される。更に、第3及び第4の反転増幅部によって遅延時間の補正と波形整形が行われて、同一タイミングの内部出力クロック信号が生成される。そして、内部出力クロック信号は、それぞれ対応する出力手段に供給される。

【0031】第9の発明は、第4～第8の発明の半導体集積回路における入力クロック端子と入力クロック分配手段との間に、一定の位相遅延を挿入するための切り離しにより調整可能な複数の第3の遅延素子を有する第1の遅延手段を設けている。第9の発明によれば、入力クロック端子に与えられた入力クロック信号は、第3の遅延素子を通して遅延された後、入力クロック分配手段に与えられて各入力クロック供給手段に分配される。

【0032】第10の発明は、第9の発明の半導体集積回路における入力クロック供給手段に、前記入力クロック分配手段から与えられる前記入力クロック信号を反転して出力する第5の反転増幅部と、相補的な導電型の第

9及び第10のトランジスタで構成され、前記第5の反転増幅部の出力信号を更に反転して前記内部入力クロック信号を生成する第6の反転増幅部と、前記第9のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第9のトランジスタと同一の導電型の第11のトランジスタと、前記第10のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第10のトランジスタと同一の導電型の第12のトランジスタとを設けている。

【0033】第10の発明によれば、第9の発明の半導体集積回路において次のような作用が行われる。入力クロック分配手段から与えられた入力クロック信号は、第5及び第6の反転増幅部によって波形の整形と遅延時間の調整が行われ、内部入力クロック信号としてそれぞれ対応する入力手段に供給される。

【0034】第11の発明は、第4～第10の発明の半導体集積回路における出力クロック端子と出力クロック分配手段との間に、一定の位相遅延を挿入するための切り離しにより調整可能な複数の第4の遅延素子を有する第2の遅延手段を設けている。第11の発明によれば、出力クロック端子に与えられた出力クロック信号は、第4の遅延素子を通して遅延された後、出力クロック分配手段に与えられて各出力クロック供給手段に分配される。

【0035】第12の発明は、第11の発明の半導体集積回路における出力クロック供給手段に、前記出力クロック分配手段から与えられる前記出力クロック信号を反転して出力する第7の反転増幅部と、相補的な導電型の第13及び第14のトランジスタで構成され、前記第7の反転増幅部の出力信号を更に反転して前記内部入力クロック信号を生成する第8の反転増幅部と、前記第13のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第13のトランジスタと同一の導電型の第15のトランジスタと、前記第14のトランジスタに並列に接続され、ヒューズ切断により切り離し可能な単数または複数の該第14のトランジスタと同一の導電型の第16のトランジスタとを設けている。

【0036】第12の発明によれば、第11の発明の半導体集積回路において次のような作用が行われる。出力クロック分配手段から与えられた出力クロック信号は、第7及び第8の反転増幅部によって波形の整形と遅延時間の調整が行われ、内部出力クロック信号としてそれぞれ対応する出力手段に供給される。

【0037】

【発明の実施の形態】第1の実施形態

図1(a)～(c)は、本発明の第1の実施形態を示す半導体集積回路の構成図であり、同図(a)は回路構成図、同図(b)は同図(a)中のタイミング調整回路のパターンを示す平面図、及び同図(c)は同図(b)に

おける断面X-Xを示す断面図である。以下、この半導体集積回路の構成(i)、開発工程(ii)、及び動作(iii)に分けて説明する。

【0038】(i) 構成

図1(a)に示すように、この半導体集積回路は、入力クロック信号CLKが与えられる入力クロック端子31と、この入力クロック信号CLKに同期して、複数ビットの入力データが並列に与えられる入力端子32-0、…、32-nを有している。入力クロック端子31には、バッファアンプ33が接続され、入力端子32-0~32-nには、入力手段(例えば、フリップフロップ、以下、「FF」という)34-0、…、34-nがそれぞれ接続されている。

【0039】バッファアンプ33は、入力クロック端子31に与えられた入力クロック信号CLKを、入力クロック分配手段(例えば、入力クロック供給路)35を介してFF34-0等の内部回路に供給するために、所定のレベルに増幅するものである。入力クロック供給路35と、各FF34-0~34-nとの間には、それぞれ入力クロック供給手段(例えば、タイミング調整回路)36-0、…、36-nが設けられている。タイミング調整回路36-0~36-nは、入力クロック供給路35の分配経路の相違によって生ずる入力クロック信号CLKの遅延時間の相違を補正し、入力データに同期した一定タイミングの内部入力クロック信号CLKIを生成して、各FF34-0~34-nに与えるためのものである。

【0040】各タイミング調整回路36-0~36-nは同一の構成となっており、直列に接続された3個の抵抗36a、36b、36cと、これらの抵抗36a、36b、36cを短絡または挿入するためのギャップ36d、36e、36fで構成されている。各タイミング調整回路36-0~36-nの出力側は、それぞれFF34-0~34-nのクロック端子に接続されている。各FF34-0~34-nは、入力端子32-0~32-nに入力された入力データを、クロック端子に与えられる内部入力クロック信号CLKIの、例えば立ち上がりのタイミングで保持するものであり、それぞれの出力側が内部論理回路37の入力側に接続されている。

【0041】例えばタイミング調整回路36-0は、図1(b)に示すように、開放されたギャップ36d、36eと、短絡されたギャップ36fが直線上に直列に接続されたAl(アルミニウム)等のパターンによって形成されている。また、図1(c)に示すように、これらのギャップ36d~36fは、半導体基板表面の絶縁膜の直下に形成されている。更に、これらのギャップ36d~36fの下側の層には抵抗36a~36cを有する抵抗層が形成されており、この抵抗層とパターン層との間が、Al等の導電性材料で接続されている。

【0042】ギャップ36d~36fは、集積回路開発

用の集束イオンビーム装置を用いて他の内部の回路に影響を与えずに、容易に切断または接続が可能となるように、他の内部の回路とは区別された回路修正領域に配置されている。集束イオンビーム装置は、保護膜等の影響を受けずに集積回路の切断と接続等のサブミクロンオーダーでの微細加工を可能とするものである。この集束イオンビーム装置では、直径0.1μm程度に細く絞った集束イオンビームを加工対象物に照射することによって、固体表面からその固体を形成している原子や分子をたたき出すスパッタリング現象を利用して保護膜やAl等の配線の切断を行うことができる。更に、この集束イオンビーム装置は、半導体基板表面に高効率ガス銃によって原料ガスを吹き付け、集束イオンビームを局所的に照射することによって、その照射領域のみに金属膜を形成させて回路の接続を行うことができるようになっている。

【0043】図1(b)に示すように、切断または接続箇所を明確に識別するとともに、切断または接続を確実に行うために、開放されたギャップ36d、36eの両側のパターンの幅は広く形成し、また短絡されたギャップ36fのパターンは細く形成している。

【0044】(ii) 開発工程

まず、集積回路全体のレイアウト設計を行い、各FF34-0~34-nまでの入力クロック供給路35の配線長の相違を算出する。算出した配線長の相違に基づいて、各タイミング調整回路36-0~36-n毎に必要な遅延時間を算出する。算出した遅延時間を達成するためのギャップ36d~36fの暫定的な短絡数と開放数を決定する。以上のレイアウト設計に基づいて、半導体集積回路を試作する。

【0045】次に、試作した半導体集積回路を、集積回路開発用の集束イオンビーム装置を用いて評価し、各FF34-0~34-nによって、入力端子32-0~32-nに入力された入力データが、ほぼ同一のタイミングで入力されるように、それぞれのタイミング調整回路36-0~36-nのギャップ36d~36fを逐次短絡、或いは開放して調整する。調整終了後の各タイミング調整回路36-0~36-nのパターンを、最終的な回路パターンとして決定する。

【0046】(iii) 動作

入力クロック端子31に与えられた入力クロック信号CLKは、バッファアンプ33で所定のレベルに増幅された後、入力クロック供給路35を介して各タイミング調整回路36-0~36-nに分配される。各タイミング調整回路36-0~36-nにおいて、それぞれのパターンに基づいた遅延時間が与えられ、内部入力クロック信号CLKIとして対応するFF34-0~34-nのクロック端子に与えられる。一方、各入力端子32-0~32-nに同一タイミングで並列に与えられた入力データは、それぞれのFF34-0~34-nにおい

て、ほぼタイミングの一致した内部入力クロック信号CLKIに同期して保持される。各FF34-0~34-nに保持された入力データは、内部論理回路37へ与えられる。

【0047】以上のように、この第1の実施形態の半導体集積回路は、正確に調整が可能なタイミング調整回路36-0~36-nを有するため、入力クロック信号CLKの遅延時間のばらつきが少なく、高速データ転送が可能であるという利点がある。更に、タイミング調整回路36-0~36-nは、集束イオンビーム装置によ

【0048】第2の実施形態

図3(a)、(b)は、本発明の第2の実施形態を示すタイミング調整回路の構成図であり、同図(a)はそのパターンを示す平面図、及び同図(b)は同図(a)における断面Y-Yを示す断面図である。このタイミング調整回路は、第1の実施形態における図1(a)中のタイ

【0049】第3の実施形態

図4は、本発明の第3の実施形態を示すタイミング調整回路の構成図である。このタイミング調整回路は、第1の実施形態における図1(a)中のタイミング調整回路36-0等に代えて用いられるものであり、入力クロック供給路35から分配された入力クロック信号CLKが、それぞれ共通にゲートに与えられる駆動用のNチャネルMOSトランジスタ(以下、「NMOS」という)41a、41b、41cと、PチャネルMOSトランジスタ(以下、「PMOS」という)42a、42b、42cとを有している。各NMOS41a~41cのソースは電源電位VDDに、及び各PMOS42a~42cのソースは接地電位GNDにそれぞれ接続されている。各NMOS41b、41cのドレインは、それぞれギャップ43b、43cを介して、また、各PMOS42b、42cのドレインは、それぞれギャップ44b、44cを介して、インバータ45の入力側に接続されている。そして、インバータ45の出力側から内部入力クロック信号CLKIが出力されるようになっている。その他の構成は、第1の実施形態と同様である。

【0050】このタイミング調整回路におけるギャップ43b、43c、44b、44cの調整方法等は、第1の実施形態と同様である。このタイミング調整回路では、並列に接続されるNMOS41a~41c、及びP

MOS42a~42cの数を制御することによって、遅延時間を調整するようになっており、第1の実施形態と同様の効果を有する。

【0051】第4の実施形態

図5は、本発明の第4の実施形態を示すタイミング調整回路の構成図である。このタイミング調整回路は、第1の実施形態における図1(a)中のタイミング調整回路36-0等に代えて用いられるものであり、入力クロック供給路35から分配された入力クロック信号CLKIが与えられる端子46、内部入力クロック信号CLKIが出力される端子47、及び端子46、47を結ぶ配線48を有している。更に、配線48と接地電位GNDとの間には、それぞれギャップ49a、49b、49cを介してキャパシタ50a、50b、50cが接続されている。

【0052】このタイミング調整回路におけるギャップ49a~49cの調整方法等は、第1の実施形態と同様である。このタイミング調整回路では、配線48と接地電位GNDとの間に接続されるキャパシタ50a~50cによる静電容量を制御することによって、遅延時間を調整するようになっており、第1の実施形態と同様の効果を有する。

【0053】第5の実施形態

図6は、本発明の第5の実施形態を示すタイミング調整回路の構成図である。このタイミング調整回路は、第1の実施形態における図1(a)中のタイミング調整回路36-0等に代えて用いられるものであり、入力クロック供給路35から分配された入力クロック信号CLKを反転増幅する反転増幅部(例えば、インバータ)51を有している。インバータ51は、NMOS51a及びPMOS51bで構成され、これらのNMOS51a及びPMOS51bのゲートに、入力クロック信号CLKが共通に与えられている。NMOS51a及びPMOS51bのドレインは、インバータ52の入力側に共通接続されており、このインバータ52の出力側から内部入力クロック信号CLKIが出力されるようになっている。

【0054】一方、NMOS51aのソースと電源電位VDDとの間には、第1~第3のトランジスタ(例えば、NMOS)53a、53b、53cが並列に接続されている。また、PMOS51bのソースと接地電位GNDとの間には、第4~第6のトランジスタ(例えば、PMOS)54a、54b、54cが並列に接続されている。NMOS53aのゲートは接地電位GNDに固定接続され、常にオン状態となるように設定されている。また、PMOS54aのゲートは電源電位VDDに固定接続され、常にオン状態となるように設定されている。

【0055】NMOS53b及びPMOS54bのゲートには、第1の制御部55から第1及び第3の制御信号がそれぞれ与えられるようになっている。制御部55

は、縦続接続された2つのインバータ55a、55bを有しており、前段のインバータ55aの入力側が抵抗55cを介して電源電位VDDに接続されるとともに、第1のヒューズ55dによって接地電位GNDに接続されている。そして、インバータ55aの出力側から第1の制御信号が出力されてNMOS53bのゲートに与えられるようになっている。また、インバータ55bの出力側から第3の制御信号が出力されてPMOS54bのゲートに与えられるようになっている。

【0056】NMOS53c及びPMOS54cのゲートには、第2の制御部56から第2及び第4の制御信号がそれぞれ与えられるようになっている。制御部56は、縦続接続された2つのインバータ56a、56bを有しており、前段のインバータ56aの入力側が抵抗56cを介して電源電位VDDに接続されるとともに、第2のヒューズ56dによって接地電位GNDに接続されている。そして、インバータ56aの出力側から第2の制御信号が出力されてNMOS53cのゲートに与えられるようになっている。また、インバータ56bの出力側から第4の制御信号が出力されてPMOS54cのゲートに与えられるようになっている。

【0057】次に、このタイミング調整回路の動作を説明する。ヒューズ55d、56dがともに切断されていない場合、NMOS53b及びPMOS54bのゲートには、それぞれ“L”、“H”が印加され、これらのNMOS53b及びPMOS54bはオン状態である。一方、NMOS53c及びPMOS54cのゲートには、それぞれ“H”、“L”が印加され、これらのNMOS53c及びPMOS54cはオフ状態である。これにより、インバータ51は、NMOS53a、53bを介して電源電位VDDに接続されるとともに、PMOS54a、54bを介して接地電位GNDに接続され、駆動用の電源が供給される。

【0058】ヒューズ55dのみが切断された場合、NMOS53b及びPMOS54bのゲートには、それぞれ“H”、“L”が印加され、これらのNMOS53b及びPMOS54bはオフ状態となる。一方、NMOS53c及びPMOS54cのゲートには、それぞれ“H”、“L”が印加され、これらのNMOS53c及びPMOS54cはオフ状態である。これにより、インバータ51は、NMOS53aを介して電源電位VDDに接続されるとともに、PMOS54aを介して接地電位GNDに接続され、駆動用の電源が供給される。従って、ヒューズ55dを切断することによって、インバータ51に対する駆動用の電源の供給量を減ずることが可能になり、これにより、入力クロック信号CLKの遅延時間を増加することができる。

【0059】ヒューズ56dのみが切断された場合、NMOS53b及びPMOS54bのゲートには、それぞれ“L”、“H”が印加され、これらのNMOS53b

及びPMOS54bはオン状態である。一方、NMOS53c及びPMOS54cのゲートには、それぞれ“L”、“H”が印加され、これらのNMOS53c及びPMOS54cはオン状態となる。これにより、インバータ51は、NMOS53a、53b、53cを介して電源電位VDDに接続されるとともに、PMOS54a、54b、54cを介して接地電位GNDに接続され、駆動用の電源が供給される。従って、ヒューズ56dを切断することによって、インバータ51に対する駆動用の電源の供給量を増加することが可能になり、これにより、入力クロック信号CLKの遅延時間を短縮することができる。

【0060】以上のように、この第5の実施形態のタイミング調整回路は、ヒューズ55d、56dを切断するだけで、入力クロック信号CLKの遅延時間を自由に増減することができるので、内部入力クロック信号CLK1のタイミングをほぼ一定の範囲に調整することができ、高速データ転送が可能であるという利点がある。更に、入力クロック信号CLKの遅延時間は、例えばレーザ切断装置等によってヒューズ55d、56dを切断するだけで自由に増減することができるので、集束イオンビーム装置のような特殊な装置を必要とせず、工場における生産ラインでも容易に適用可能であるという利点がある。

【0061】第6の実施形態

図7は、本発明の第6の実施形態を示す半導体集積回路の構成図である。以下、この半導体集積回路の構成(i)、調整方法(ii)、及び動作(iii)に分けて説明する。

【0062】(i) 構成

この半導体集積回路は、入力クロック部60、出力クロック部70、複数のデータ入出力部80-0、…、80-n、及び内部論理回路90を備えている。入力クロック部60は、入力データのタイミングを示す入力クロック信号CLKが与えられる入力クロック端子61を有し、この入力クロック端子61に位相補正回路62が接続されるとともに、比較回路63の第1の入力側が接続されている。位相補正回路62は、比較回路63から与えられる比較結果の信号に従って入力クロック信号CLKの位相を補正して出力するものであり、この出力側にバッファアンプ64が接続されている。バッファアンプ64の出力側には、第1の遅延手段(例えば、タイミング調整回路)65と、入力クロック分配手段(例えば、入力クロック供給路)66が接続されている。タイミング調整回路65は、バッファアンプ64から出力された入力クロック信号CLKの位相を調整して比較回路63の第2の入力側に与えるものである。そして、比較回路63によって、その第1及び第2の入力側の位相差を無くすような制御信号が生成されて位相補正回路62に与えられるようになっている。

【0063】出力クロック部70は、出力データのタイミングを示す出力クロック信号OCLKが与えられる出力クロック端子71を有し、この出力クロック端子71に位相補正回路72が接続されるとともに、比較回路73の第1の入力側が接続されている。位相補正回路72及び比較回路73は、入力クロック部60における位相補正回路62及び比較回路63と同様のものである。位相補正回路72の出力側にはバッファアンプ74が接続され、このバッファアンプ74の出力側に第2の遅延手段（例えば、タイミング調整回路）75と、出力クロック分配手段（例えば、出力クロック供給路）76が接続されている。タイミング調整回路75は、バッファアンプ74から出力された出力クロック信号OCLKの位相を調整して比較回路73の第2の入力側に与えるものである。そして、比較回路73によって、その第1及び第2の入力側の位相差を無くすような制御信号が生成されて位相補正回路72に与えられるようになっている。

【0064】データ入出力部80-0~80-nはすべて同一の構成であり、例えばデータ入出力部80-0は、入力クロック信号ICKLに同期して外部から入力データが与えられる入力端子81と、出力クロック信号OCLKに同期して外部へ出力データを出力する出力端子82を有している。入力端子81には、入力手段（例えば、FF）83の入力側が接続され、このFF83のクロック端子には、入力クロック供給路66から入力クロック供給手段（例えば、タイミング調整回路）84を介して内部入力クロック信号CLKIが与えられるようになっている。FF83は、例えば内部入力クロック信号CLKIの立ち上がりのタイミングで、入力データを保持して出力するものである。また、タイミング調整回路84は、入力クロック供給路66の分配経路の相違に基づく入力クロック信号ICKLの遅延時間の相違を調整して所定のタイミングの内部入力クロック信号CLKIを生成してFF83に供給するものである。

【0065】FF83の出力側には、データ折り返し手段（例えば、切替スイッチ）85が接続されている。切替スイッチ85は、例えば3個のスイッチ85a、85b、85cで構成され、外部から与えられるモード信号MODによって試験モードが指定されたときに、FF83から出力された入力データを出力端子82側へ折り返すためのものである。また、切替スイッチ85は、モード信号MODによって通常モードが指定されたときには、FF83から出力された入力データを内部論理回路90へ与えるとともに、この内部論理回路90から出力された出力データを出力端子82側へ出力するようになっている。

【0066】切替スイッチ85の折り返し出力側には、出力手段（例えば、FF）86の入力側が接続されている。FF86のクロック端子には、出力クロック供給路76から出力クロック供給手段（例えば、タイミング調

整回路）87を介して内部出力クロック信号CLKOが与えられるようになっている。FF86は、例えば内部出力クロック信号CLKOの立ち上がりのタイミングで、内部論理回路90からの出力データを保持して出力端子82へ出力するものである。また、タイミング調整回路87は、出力クロック供給路76の分配経路の相違に基づく出力クロック信号OCLKの遅延時間の相違を調整して所定のタイミングの内部出力クロック信号CLKOを生成してFF86に供給するものである。

【0067】この半導体集積回路は、更にモード信号MODが与えられる制御端子88を有しており、この制御端子88から各データ入出力部80-0~80-nの切替スイッチ85にモード信号MODが共通に与えられるようになっている。なお、この制御端子88は、後述するように、製造段階においてタイミング調整回路65、75、84、87を調整するときに、試験モードを設定するためにのみ用いるものである。従って、調整が完了した後は不要となるので、半導体集積回路の外部端子として設ける必要はない。

【0068】図8は、図7中のタイミング調整回路65、75、84、87の一例を示す構成図である。このタイミング調整回路は、ヒューズFi（但し、i=1, 2, ..., 5）と遅延素子（例えば、抵抗）Riとを直列に接続し、このヒューズFiと抵抗Riの直列回路を5個並列に接続した構成となっている。ヒューズFiは、半導体基板上の所定の切断領域に配置されており、半導体ウエハの製造工程における試験時にレーザ切断装置によって個別に切断することができるようになっている。また、抵抗Riは、同一の抵抗値を有している。そして、ヒューズFiの切断によって、このタイミング調整回路の合成抵抗を変化させ、入力クロック信号ICKL等の遅延時間を調整することができるようになっている。

【0069】(ii) 調整方法

図9は、図7の調整時における動作を示すタイミングチャートである。以下、この図9を参照しつつ、図7の半導体集積回路におけるタイミング調整回路65、84の調整方法を説明する。タイミング調整回路65等の調整は、半導体ウエハ上に回路が形成されて個別の半導体チップに切断する前の状態での試験時に行われる。試験時には、半導体ウエハ試験装置のプロープを通して、半導体集積回路の制御端子88に試験モード（例えば、“H”）のモード信号MODを印加する。これにより、各データ入出力部80-0~80-nの切替スイッチ85が折り返し状態に設定され、FF83の出力側がFF86の入力側に直接接続されるとともに、内部論理回路90はデータ入出力部80-0~80-nから切り離される。

【0070】まず、図9中の期間T1に示すように、入力クロック信号ICKLの立ち上がりのタイミングが、

入力データの入力タイミング中の中心となるように入力端子81からテストデータTDを入力する。これにより、テストデータTDはFF83によって保持され、切替スイッチ85を介してFF86に折り返される。FF86に折り返されたテストデータTDは、出力クロック信号OCLKの立ち上がりによってFF86に保持され、出力端子82から出力データとして出力される。出力端子82に出力された出力データが、入力端子81に与えたテストデータTDと一致しているか否かをチェックし、入出力機能に問題が無いことのチェックを行う。【0071】次に、図9中の期間T2に示すように、入力クロック信号ICKに対して、入力データの入力タイミングを一定の間隔で段階的に遅らせる。そして、出力端子82から出力される出力データが入力端子81に与えたテストデータTDと一致しなくなる直前の入力タイミングを測定する。この時のテストデータTDの入力タイミングと入力クロック信号ICKの立ち上がりまでの時間がセットアップタイムとなる。セットアップタイムは、各データ入出力部80-0~80-n毎に異なるので、各データ入出力部80-0~80-n毎のセットアップタイムを測定記録する。

【0072】更に、図9中の期間T3に示すように、入力クロック信号ICKに対して、テストデータTDの入力タイミングを一定の間隔で段階的に早める。そして、出力端子82から出力される出力データが入力端子81に与えたテストデータTDと一致しなくなる直前の入力タイミングと入力クロック信号ICKの立ち上がりまでの時間をホールドタイムとして測定する。ホールドタイムは、各データ入出力部80-0~80-n毎に異なるので、各データ入出力部80-0~80-n毎のホールドタイムを測定記録する。

【0073】このようにして測定された各データ入出力部80-0~80-nセットアップタイムとホールドタイムから、調整基準値を決定する。各データ入出力部80-0~80-n毎に、セットアップタイム-ホールドタイムを算出する。そして、算出した値の中で最も大きいもの、即ち最も遅延時間が大きいデータ入出力部80-iの値を調整基準値として決定する。その他の各データ入出力部80-0~80-n毎の算出値と、調整基準値との差を算出し、その結果から各データ入出力部80-0~80-nのタイミング調整回路84毎に、切断するヒューズF1~F5の数を決定する。ヒューズF1~F5の切断により、タイミング調整回路84の抵抗値が増え、FF83に与えられる内部入力クロック信号CLKIが遅れ、すべてのデータ入出力部80-0~80-nのFF83に与えられる内部入力クロック信号CLKIの位相が一致する。

【0074】次に、調整基準値に基づいてタイミング調整回路85における切断すべきヒューズF1~F5の数を決定する。タイミング調整回路85のヒューズF1~

F5の切断により抵抗値が増え、比較回路63に入力される入力クロック信号ICKが遅れる。この遅れた入力クロック信号ICKと、入力クロック端子61から与えられる入力クロック信号ICKとが比較され、位相補正回路62に対して補正用の制御信号が出力される。これにより、バッファアンプ64から比較回路63までに増加した遅延分だけ早い入力クロック信号ICKが、位相補正回路62から出力される。従って、入力クロック供給路66を介して各データ入出力部80-0~80-nに与えられる入力クロック信号ICKのタイミングは一律に早くなって、丁度入力データの入力タイミングの中心で、内部入力クロック信号CLKIが立ち上がるようなタイミングが得られる。

【0075】また、タイミング調整回路75、87の調整方法も、上記の方法とほぼ同様である。即ち、出力クロック端子71に与える出力クロック信号OCLKの立ち上がりのタイミングを、基準となる出力クロック信号OCLKから一定の間隔で段階的に早める。そして、出力端子82から出力される出力データが入力端子81に与えたテストデータTDと一致しなくなる直前のタイミングと基準となる出力クロック信号OCLKの立ち上がりまでの時間を最大データ出力時間として測定する。最大データ出力時間は、各データ入出力部80-0~80-n毎に異なるので、各データ入出力部80-0~80-n毎の最大データ出力時間を測定記録する。更に、基準となる出力クロック信号OCLKに対して、出力クロック端子71に与える出力クロック信号OCLKのタイミングを一定の間隔で段階的に遅らせる。そして、出力端子82から出力される出力データが入力端子81に与えたテストデータTDと一致しなくなる直前のタイミングと基準となる出力クロック信号OCLKの立ち上がりまでの時間を最小データ出力時間として測定する。最小データ出力時間は、各データ入出力部80-0~80-n毎に異なるので、各データ入出力部80-0~80-n毎の最小データ出力時間を測定記録する。

【0076】このようにして測定された各データ入出力部80-0~80-nの最大データ出力時間と最小データ出力時間から、調整基準値を決定する。各データ入出力部80-0~80-n毎に、最大データ出力時間-最小データ出力時間を算出する。そして、算出した値の中で最も大きいもの、即ち最も遅延時間が大きいデータ入出力部80-iの値を調整基準値として決定する。その他の各データ入出力部80-0~80-n毎の算出値と、調整基準値との差を算出し、その結果から各データ入出力部80-0~80-nのタイミング調整回路87毎に、切断するヒューズF1~F5の数を決定する。ヒューズF1~F5の切断により、タイミング調整回路87の抵抗値が増え、FF86に与えられる内部出力クロック信号CLKOが遅れ、すべてのデータ入出力部80-0~80-nのFF86に与えられる内部出力クロッ

ク信号CLKOの位相が一致する。

【0077】次に、調整基準値に基づいてタイミング調整回路75における切断すべきヒューズF1～F5の数を決定する。タイミング調整回路75のヒューズF1～F5の切断により抵抗値が増え、比較回路73に入力される出力クロック信号OCLKが遅れる。この遅れた出力クロック信号OCLKと、出力クロック端子71から与えられる出力クロック信号OCLKとが比較され、位相補正回路72に対して補正用の制御信号が出力される。これにより、バッファアンプ74から比較回路73 10までに増加した遅延分だけ早い出力クロック信号OCLKが、位相補正回路72から出力される。従って、出力クロック供給路76を介して各データ入出力部80-0～80-nに与えられる出力クロック信号OCLKのタイミングは一律に早くなって、丁度出力クロック信号OCLKのタイミングに一致するような内部出力クロックCLKO信号が得られる。

【0078】(iii) 動作

例えば、この半導体集積回路で入力データを入力する場合、入力クロック端子61に与えられた入力クロック信号ICLKは、位相補正回路62で位相補正され、更にバッファアンプ64で増幅されて、入力クロック供給路66を介して各データ入出力部80-0～80-nのタイミング調整回路84に分配される。このとき、比較回路63及び位相補正回路62により、タイミング調整回路65に設定された遅延時間分だけ入力クロック信号ICLKの位相を早めるように位相補正が行われる。

【0079】各データ入出力部80-0～80-nのタイミング調整回路84において、それぞれ調整された遅延時間が与えられ、内部入力クロック信号CLKIとして対応するFF83のクロック端子に与えられる。各データ入出力部80-0～80-nの入力端子81に同一タイミングで並列に与えられた入力データは、それぞれのデータ入出力部80-0～80-nのFF83において、ほぼタイミングの一致した内部入力クロック信号CLKIに同期して保持される。各データ入出力部80-0～80-nのFF83に保持された入力データは、切替スイッチ85を介して内部論理回路90へ与えられる。

【0080】また、この半導体集積回路から出力データを出力する場合、出力クロック端子71に与えられた出力クロック信号OCLKは、位相補正回路72で位相補正され、更にバッファアンプ74で増幅されて、出力クロック供給路76を介して各データ入出力部80-0～80-nのタイミング調整回路87に分配される。このとき、比較回路73及び位相補正回路72により、タイミング調整回路75に設定された遅延時間分だけ出力クロック信号OCLKの位相を早めるように位相補正が行われる。

【0081】各データ入出力部80-0～80-nのタ 50

イミング調整回路87において、それぞれ調整された遅延時間が与えられ、内部出力クロック信号CLKOとして対応するFF86のクロック端子に与えられる。一方、内部論理回路90から各データ入出力部80-0～80-nの切替スイッチ85を介してそれぞれのFF86に与えられた出力データは、タイミングの一致した内部出力クロック信号CLKOに同期して保持される。そして、各出力端子82から同一タイミングで並列に出力される。

【0082】以上のように、この第6の実施形態の半導体集積回路は、正確に調整が可能なタイミング調整回路65、75、84、87を有するため、位相差のない内部入力クロック信号CLKI及び内部出力クロック信号CLKOを生成することができ、遅延時間のばらつきが少なく、高速データ転送が可能であるという利点がある。

【0083】更に、タイミング調整回路65、75、84、87は、半導体ウエハの試験時にレーザ切断装置等によって個別に調整可能のように構成されているので、製品毎のばらつきを小さくすることができるという利点がある。しかも、調整時には入力クロック信号ICLKに対して入力データのタイミングをずらして保持し、切替スイッチ85で折り返される出力データをチェックするようにしているので、低速の試験装置を用いて正確にセットアップタイムやホールドタイムを測定することができるという利点がある。

【0084】第7の実施形態

図10は、本発明の第7の実施形態を示すタイミング調整回路の構成図である。このタイミング調整回路は、第6の実施形態における図7中のタイミング調整回路65、75、84、87に代えて用いられるものであり、共通の要素には共通の符号が付されている。

【0085】このタイミング調整回路は、図8のタイミング調整回路と同様に、ヒューズFiと抵抗Riとを直列に接続し、このヒューズFiと抵抗Riとの直列回路を5個並列に接続した遅延回路を有している。更に、この遅延回路の出力側に、第1及び第2の反転増幅部（例えば、インバータ）IV1、IV2が縦続に接続されている。

【0086】インバータIV2は、NMOS101とPMOS102とで構成され、これらのNMOS101とPMOS102のゲートがインバータIV1の出力側に共通接続されている。NMOS101とPMOS102のソースは、それぞれ電源電位VDD及び接地電位GNDに接続されている。また、NMOS101とPMOS102のドレインは出力ノードN1に接続され、この出力ノードN1に、例えば内部入力クロック信号CLKI等のタイミング調整されたクロック信号が出力されるようになっている。

【0087】更に、このタイミング調整回路は、NMO

S103a, 103b, 及びPMOS104a, 104bを有している。NMOS103a, 103bのソースは、電源電位VDDに接続され、ゲートはNMOS101のゲートに共通接続されている。そして、NMOS103a, 103bのドレインは、それぞれヒューズ105a, 105bを介して出力ノードN1に接続されている。一方、PMOS104a, 104bのソースは、接地電位GNDに接続され、ゲートはPMOS102のゲートに共通接続されている。そして、PMOS104a, 104bのドレインは、それぞれヒューズ106a, 106bを介して出力ノードN1に接続されている。

【0088】各ヒューズFi, 105a, 105b, 106a, 106bは、ヒューズF1~F5とともに、半導体基板上の所定の切断領域に配置されており、半導体ウエハの製造工程における試験時にレーザ切断装置によって個別に切断することができるようになっている。また、抵抗Riは、同一の抵抗値を有している。そして、ヒューズFiの切断によって、このタイミング調整回路の合成抵抗を変化させ、クロック信号の遅延時間を調整することができるようになっている。

【0089】また、ヒューズ105a, 105b, 106a, 106bの切断によって、インバータIV2の駆動能力を調整することができるようになっており、この駆動能力の調整によって更にクロック信号の遅延時間の微調整ができるようになっている。その他の構成は、第7の実施形態と同様であり、同様の作用及び効果を有する。更に、この第8の実施形態のタイミング調整回路では、遅延回路の後段にインバータIV1, IV2を設けているので、遅延回路によって鈍ったクロック信号の波形を整形して出力することができるという利点がある。

【0090】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)~(o)のようなものがある。

(a) 図1中のタイミング調整回路36-0等の抵抗36a~36cの数は、3個に限定されない。多数の抵抗を設けることによって更に微調整が可能になる。

(b) 図1中の抵抗36a~36cの各抵抗値は同一である必要はない。例えば、1, 2, 4, ...にウエイト付けした抵抗値を使用することにより、少数の抵抗で広範囲の合成抵抗を設定することができる。

【0091】(c) 図1中のタイミング調整回路36-0等のパターンは、同図(b), (c)や図3に示したものに限定されない。集束イオンビーム装置を用いて回路修正が可能なパターンであれば、どのようなパターンでも適用可能である。

(d) 図4におけるNMOS41a~41c, 及びPMOS42a~42c等のトランジスタの数は、それぞれ3個に限定されない。多数のトランジスタを並列に設けることによって更に微調整が可能になる。また、これらのトランジスタのディメンジョンは同一である必要は

ない。異なるディメンジョンのトランジスタを設けることにより、少数のトランジスタで広範囲の駆動能力を設定することができる。

【0092】(e) 図5におけるキャパシタ50a~50cの数は、3個に限定されない。多数のキャパシタを設けることによって更に微調整が可能になる。また、これらのキャパシタの各容量値は同一である必要はない。例えば、1, 2, 4, ...にウエイト付けした容量値を使用することにより、少数のキャパシタで広範囲の合成容量を設定することができる。

(f) 図6における制御部55, 56の数は、2個に限定されない、更に多数の制御部とそれに対応するNMOS及びPMOSを設けることにより、微調整が可能になる。

【0093】(g) 制御部55, 56の構成は、図6に示した回路に限定されない。ヒューズを切断することによって、NMOS及びPMOSをオンまたはオフ状態に設定することができるものであれば、どのような回路でも同様に適用可能である。

(h) 入力クロック部60, 及び出力クロック部70の構成は、図7に示した回路に限定されない。例えば、単なるバッファアンプ64, 74のみでも良い。

(i) 図7中のデータ入出力部80内のタイミング調整回路84の調整範囲を大きくして、入力クロック部60内のタイミング調整回路65を省略することも可能である。

【0094】(j) 図7中のデータ入出力部80内のタイミング調整回路87の調整範囲を大きくして、出力クロック部70内のタイミング調整回路75を省略することも可能である。

(k) データ出力タイミングにマージンがある場合には、図7中のデータ入出力部80内のタイミング調整回路87を省略することも可能である。

(l) 図7中のデータ入出力部80内の入力手段及び出力手段として、FF83, 86を用いているが、FDに限定されずその他のデータラッチ回路を用いることもできる。

【0095】(m) 図7中の切替スイッチ85の構成は、図示したものに限定されず、論理ゲート等を用いたものでも良い。

(n) 図7中のタイミング調整回路65, 75, 84, 87は、図8または図10のものに限定されない。また、それぞれ必要な調整範囲を確保できるものであれば良く、すべて同一の構成にする必要はない。

(o) 図1及び図7の半導体集積回路は、それぞれ内部論理回路37, 90を有しているが、半導体メモリ等に対しても同様に適用可能である。

【0096】

【発明の効果】以上詳細に説明したように、第1の発明によれば、直列素子または並列素子の接続または切り離

10

20

30

40

50

しによって入力クロック信号の遅延時間の相違を調整することができる入力クロック供給手段を備えているので、各入力手段に対して同一位相で内部入力クロック信号を供給することができる。第2の発明によれば、第1の発明の入力クロック供給手段の調整用の直列素子または並列素子を回路修正領域に配置しているので、回路修正装置を用いて容易に接続または切り離しの調整を行うことができる。

【0097】第3の発明によれば、第1の発明の入力クロック供給手段に、第1のヒューズを切断することによって反転増幅部に対する供給電力を減少させる第1の制御部と、第2のヒューズを切断することによって反転増幅部に対する供給電力を増加させる第2の制御部とを設けている。これにより、ヒューズを切断するだけで反転増幅部の駆動能力を増減できるので、回路修正装置よりも簡単な回路切断装置によって容易に入力クロック信号の遅延時間の相違を調整することができるという効果がある。

【0098】第4の発明によれば、モード信号の指定によって入力手段に保持している入力データを、出力データとして出力手段に折り返し出力するデータ折り返し手段を有している。これにより、入力データが入力クロック信号に同期して正しく入力されたか否かを判定することができるので、入力クロック供給手段及び出力クロック供給手段のタイミング調整を容易に行うことができるという効果がある。

【0099】第5の発明によれば、第4の発明の入力クロック供給手段に、切り離し可能な複数の遅延素子を設けている。これにより、遅延時間に応じた数の遅延素子を切り離すことにより、容易に各入力手段に対して同一位相で内部入力クロック信号を供給することができるという効果がある。第6の発明によれば、第5の発明の入力クロック供給手段における複数の遅延素子の出力側に、ヒューズ切断によって駆動能力を制御できる反転増幅部を設けている。これにより、更に遅延時間の調整範囲を拡大できるとともに、波形整形された内部入力クロック信号を得ることができるという効果がある。

【0100】第7の発明によれば、第4～第6の発明における出力クロック供給手段に、切り離し可能な複数の遅延素子を設けている。これにより、遅延時間に応じた数の遅延素子を切り離すことにより、容易に各出力手段に対して同一位相で内部出力クロック信号を供給することができるという効果がある。第8の発明によれば、第7の発明の出力クロック供給手段における複数の遅延素子の出力側に、ヒューズ切断によって駆動能力を制御できる反転増幅部を設けている。これにより、更に遅延時間の調整範囲を拡大できるとともに、波形整形された内部出力クロック信号を得ることができるという効果がある。

【0101】第9の発明によれば、第4～第8の発明に

における入力クロック端子と入力クロック分配手段との間に、切り離しにより調整可能な複数の遅延素子による第1の遅延手段を設けている。これにより、入力クロック信号の遅延時間を一律に調整することができるという効果がある。第10の発明によれば、第9の発明の入力クロック供給手段における複数の遅延素子の出力側に、ヒューズ切断によって駆動能力を制御できる反転増幅部を設けている。これにより、更に遅延時間の調整範囲を拡大できるとともに、波形整形された内部入力クロック信号を得ることができるという効果がある。

【0102】第11の発明によれば、第4～第10の発明における出力クロック端子と出力クロック分配手段との間に、切り離しにより調整可能な複数の遅延素子による第2の遅延手段を設けている。これにより、出力クロック信号の遅延時間を一律に調整することができるという効果がある。第12の発明によれば、第11の発明の出力クロック供給手段における複数の遅延素子の出力側に、ヒューズ切断によって駆動能力を制御できる反転増幅部を設けている。これにより、更に遅延時間の調整範囲を拡大できるとともに、波形整形された内部出力クロック信号を得ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す半導体集積回路の構成図である。

【図2】従来の半導体集積回路の構成図である。

【図3】本発明の第2の実施形態を示すタイミング調整回路の構成図である。

【図4】本発明の第3の実施形態を示すタイミング調整回路の構成図である。

【図5】本発明の第4の実施形態を示すタイミング調整回路の構成図である。

【図6】本発明の第5の実施形態を示すタイミング調整回路の構成図である。

【図7】本発明の第6の実施形態を示す半導体集積回路の構成図である。

【図8】図7中のタイミング調整回路65、75、84、87の一例を示す構成図である。

【図9】図7の調整時における動作を示すタイミングチャートである。

【図10】本発明の第7の実施形態を示すタイミング調整回路の構成図である。

【符号の説明】

31、61 入力クロック端子

32-0～32-n、81 入力端子

33 バッファアンプ

34-0～34-n、83、86 FF（フリップフロップ）

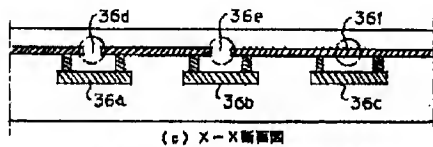
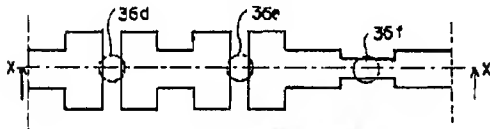
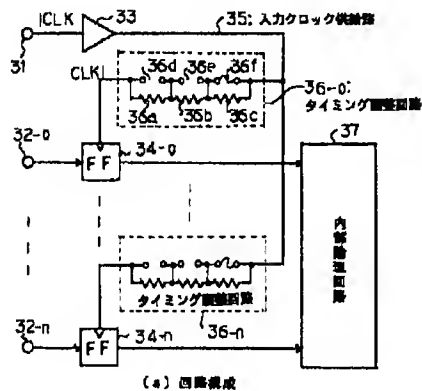
35、66 入力クロック供給路

36-0～36-n、65、75、84、87 タイミング調整回路

36a~36c 抵抗
 36d~36f, 43a~43c, 44a~44c
 ギャップ
 37, 90 内部論理回路
 41a~41c, 51a, 53a~53c NMOS
 42a~42c, 51b, 54a~54c PMOS
 45, 51, 52, 55a, 55b, 56a, 56b,
 IV1, IV2 インバータ
 55, 56 制御部
 55d, 56d, F1~F5 ヒューズ

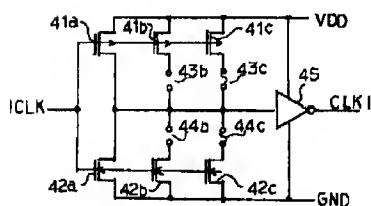
*60 入力クロック部
 70 出力クロック部
 71 出力クロック端子
 76 出力クロック供給路
 80 データ入出力部
 82 出力端子
 85 切替スイッチ
 88 制御端子
 R1~R5 抵抗
 *10

【図1】



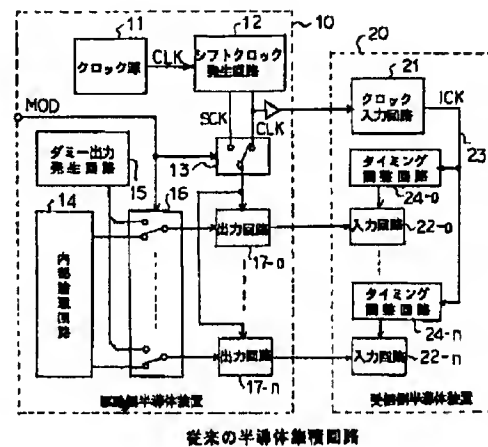
本発明の第1の実施形態の半導体集積回路

【図4】

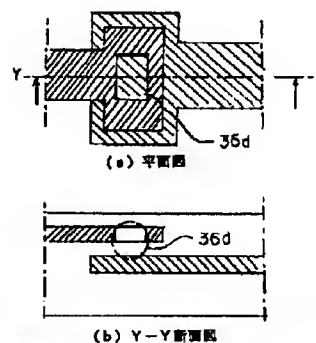


本発明の第3の実施形態のタイミング調整回路

【図2】

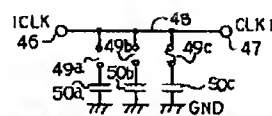


【図3】



本発明の第2の実施形態のタイミング調整回路

【図5】



本発明の第4の実施形態のタイミング調整回路

